

Abstract of Publication No. KR 10-1999-0006966

An active matrix substrate includes: an insulating plate; a plurality of switching elements disposed in a matrix on the insulating plate; a plurality of gate lines for controlling the plurality of switching elements; a plurality of source signal lines for providing a data signal to the switching element, the plurality of source signal lines perpendicular to the plurality of gate lines; and a plurality of pixel electrodes electrically connected to drain electrodes of the plurality of switching elements, respectively. At least one of the source signal line and the drain electrode includes a transparent conductive layer, a first metal layer and a second metal layer.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G02F 1/136

(11) 공개번호 특1999-006966
(43) 공개일자 1999년01월25일

(21) 출원번호	특1998-022194
(22) 출원일자	1998년06월13일
(30) 우선권 주장	97-157051 1997년06월13일 일본(JP)
(71) 출원인	샤프 가부시끼가이샤 쓰지 하루오 일본 오사카후 오사카시 아베노구 나가이쵸 22방 22고 후지카와 다카시 일본 나라쵸 덴리시 이찌노모토쵸 2613-1 라포트 덴리 750 시마다 요시노리 일본 미에쵸 다카궁 메이와쵸 우니나카 1346-22 가따오카 요시하루 일본 오오사카 시이타시 야마다니시 3-13-1 사쿠하나 요시카즈 일본 나라쵸 야마도코리야마시 고바야시쵸 187-1 구란아쵸 205 가따야마 미키오 일본 나라쵸 이코마시 가따야마쵸 4-12-20
(72) 발명자	
(74) 대리인	이상희, 주성민, 구영창

심사청구 : 있음

(54) 액티브 매트릭스 기판

요약

액티브 매트릭스 기판은 절연 플레이트; 상기 절연 플레이트 상에 매트릭스로 배열되는 복수개의 스위칭 소자; 상기 스위칭 소자를 제어하기 위한 복수개의 게이트 신호 라인; 상기 게이트 신호 라인에 수직이며, 상기 스위칭 소자에 데이터 신호를 제공하기 위한 복수개의 소오스 신호 라인; 및 상기 스위칭 소자의 드레인 전극상에 각각 제공되어 전기적으로 접속하는 복수개의 화소 전극을 포함한다. 상기 소오스 신호 라인 및 드레인 전극중 적어도 하나는 적어도 투명 도전층, 제1 금속층 및 제2 금속층을 포함한다.

대표도

도4

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 제1 실시예에서의 액티브 매트릭스 기판의 등가 회로도.

도 2는 중간 절연층 및 화소 전극이 생략된 것으로, 도 1에 도시된 액티브 매트릭스 기판의 하나의 화소 영역의 평면도.

도 3은 도 1에 도시된 액티브 매트릭스 기판의 하나의 화소 영역의 평면도.

도 4는 도 3에 도시된 하나의 화소 영역을 라인 IV-IV을 따른 수직 단면도.

도 5는 도 3에 도시된 하나의 화소 영역을 라인 V-V을 따라 자른 부분 단면도.

도 6a 내지 6e는 도 1에 도시된 액티브 매트릭스 기판의 박막 트랜지스터를 제조하기 위한 공정을 예시하는 단면도.

도 7a 내지 7e는 도 1에 도시된 액티브 매트릭스 기판의 게이트 신호 라인 단자 및 스토리지 캐패시턴스 공통 라인 단자를 제조하기 위한 공정을 예시하는 단면도.

도 8은 도 1에 도시된 액티브 매트릭스 기판의 소오스 신호 라인 단자의 단면도.

도 9는 종래의 액티브 매트릭스 기판의 등가 회로도.

도 10은 중간 절연층 및 화소 전극이 생략된 것으로, 도 9에 도시된 종래의 액티브 매트릭스 기판의 하나

의 화소 영역의 평면도.

도 11은 도 9에 도시된 종래의 액티브 매트릭스 기판의 하나의 화소 영역의 평면도.

도 12는 도 11에 도시된 하나의 화소 영역을 라인 XII-XII을 따라 자른 부분 단면도.

도 13은 도 11에 도시된 하나의 화소 영역을 라인 XIII-XIII을 따라 자른 부분 단면도.

도 14a 내지 14e는 도 9에 도시된 종래의 액티브 매트릭스 기판의 박막 트랜지스터를 제조하기 위한 공정을 예시하는 단면도.

도 15a 내지 15e는 도 9에 도시된 액티브 매트릭스 기판의 게이트 신호 라인 단자 및 스토리지 캐패시턴스 공통 라인 단자를 제조하기 위한 공정을 예시하는 단면도.

도면의 주요 부분에 대한 부호의 설명

2 : 게이트 신호 라인

3 : 스토리지 캐패시턴스 공통 라인

4 : 소오스 신호 라인

5 : 화소 전극

6 : 박막 트랜지스터

7 : 게이트 신호 라인 단자

8 : 스토리지 캐패시턴스 공통 라인 단자

9 : 소오스 신호 라인 단자

10 : 드레인 전극

19 : IT0

20 : 탄탈륨

21 : 탄탈륨 질화물

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 예를 들어 액정 표시 장치에 이용되는 액티브 매트릭스 기판에 관한 것이다.

도 9는 종래 액티브 매트릭스 기판(500)의 부분 등가 회로도이다.

도 9에 도시된 액티브 매트릭스 기판(500)은 유리 등으로 형성된 투명 절연 플레이트(101), 탄탈륨 등으로 형성된 복수개의 게이트 신호 라인(102), 스토리지 캐패시턴스 Cs를 형성하기 위한 복수개의 스토리지 캐패시턴스 공통 라인(103), 및 복수개의 소오스 신호 라인(104)을 포함한다. 게이트 신호 라인(102), 스토리지 캐패시턴스 공통 라인(103) 및 소오스 신호 라인(104)은 투명 절연 플레이트(101) 상에 제공된다. 소오스 신호 라인(104)은 게이트 신호 라인(102) 및 스토리지 캐패시턴스 공통 라인(103)과 수직으로 배열된다. 소오스 신호 라인(104)은 금속층 및 IT0(인듐 주석 산화물 : indium tin oxide)층을 포함하는 두 개의 층 구조를 가진다. 액티브 매트릭스 기판(500)은 매트릭스로 배열된 복수개의 화소 전극(105) 및 스위칭 소자로 작용하는 복수개의 박막 트랜지스터(이하 TFT로 언급함)를 더 포함한다. 화소 전극(105)은 TFT(106)들을 통해 게이트 신호 라인(102) 및 소오스 신호 라인(104)에 연결된다. 액티브 매트릭스 기판(500)이 전송 디바이스에 포함되는 경우에, 화소 전극(105)은 예를 들어 IT0와 같은 투명 도전 물질로 형성된다. 액티브 매트릭스 기판(500)이 반사 디바이스에 포함되는 경우에, 화소 전극(105)은 알루미늄 등으로 형성된다.

액티브 매트릭스 기판(500)은, 그것의 주변 영역에서, 동기 신호를 입력하기 위한 게이트 신호 라인 단자(107), 스토리지 캐패시턴스 공통 라인 단자(108), 및 비디오 신호를 입력하기 위한 소오스 신호 라인 단자(109)를 포함한다. 비록 도 9에 도시되지 않았지만, 단자(107, 108 및 109)들은 하부에 놓인 금속층이 산화되는 것을 방지하기 위한 목적으로 하부에 놓인 금속층을 커버하는 투명 도전층을 포함한다. 투명 도전층은 예를 들어, 화소 전극(105) 및 소오스 신호 라인(104)을 형성하기 위해 사용되는 IT0로 형성된다.

도 10은 도 9에 도시되는 액티브 매트릭스 기판(500)의 하나의 화소 영역의 평면도이며, 여기에서 명료화하기 위해 중간 절연층 및 화소 전극(105)이 생략되어 있다. 도 11은 도 9에 도시된 액티브 매트릭스 기판(500)의 하나의 화소 영역의 평면도이다. 도 12는 도 11에 도시된 하나의 화소 영역을 라인 XII-XII을 따라 자른 단면도이다. 도 13은 도 11에 도시된 하나의 화소 영역을 라인 XIII-XIII을 따라 자른 부분 단면도이다. 도 11에 도시된 바와 같이, 화소 전극(105)의 주변 영역은 게이트 신호 라인(102) 및 소오스 신호 라인(104)을 오버랩한다. 도 13에서, 중간 절연층 및 화소 전극(105)은 명료화를 위해 생략한다. 간단하게 하기 위해 하나의 화소 영역에 관하여 이하 상술한다.

도 12 및 13을 참조하면, 게이트 전극(116) 및 스토리지 캐패시턴스 공통 라인(103)을 포함한 게이트 신호 라인(102)이 투명 절연 플레이트(101)상에 제공된다. 게이트 절연층(112)은 게이트 전극(116) 및 스토리지 캐패시턴스 공통 라인(103)을 포함한 게이트 신호 라인(102)을 커버하도록 투명 절연 플레이트(101) 상

에 제공된다.

도 13에 도시된 바와 같이, 반도체층(113)이 게이트 전극(116)을 오버랩하도록 게이트 절연층(112) 상에 제공된다. n^+ 실리콘층(114) 및 n^+ 실리콘층(115)이 그 사이에 간격을 두고 반도체층(113) 상에 제공된다. IT0층(126) 및 금속층(125)으로 각각 형성되는 소오스 전극(117) 및 드레인 전극(110)이 n^+ 실리콘층(115 및 114)상에 각각 제공된다. TFT(106)는 게이트 전극(116), 반도체층(113), n^+ 실리콘층(114 및 115), 소오스 전극(117) 및 드레인 전극(110)을 포함한다. n^+ 실리콘층(114 및 115) 사이의 간격은 TFT(106)의 채널 영역에 대응한다.

도 11에 잘 도시된 바와 같이, 드레인 전극(110)의 일부인 IT0층은 게이트 신호 라인(102) 및 스토리지 캐패시턴스 공통 라인(103)에 수직인 방향으로 연장되고, 스토리지 캐패시턴스 공통 라인(103)을 오버랩하는 방향으로 더 연장된다. IT0층의 연장 부분은 접속 전극(127)으로서 작용한다. 스토리지 캐패시턴스 공통 라인(103)을 오버랩하는 접속 전극(127)의 부분은 스토리지 캐패시턴스 전극(127a)으로서 작용한다.

도 12에 도시된 바와 같이, 중간 절연층(118)이 게이트 절연층(112) 상에 제공되는 소자들을 커버하도록 게이트 절연층(112) 상에 제공된다. 화소 전극(105)은 중간 절연층(118) 상에 제공된다. 중간 절연층(118)은 그곳을 관통하여 제공되는 콘택 홀(11)을 가진다. 접속 전극(127)이 콘택 홀(11)을 통해 화소 전극(105)에 전기적으로 연결된다. 드레인 전극(도 13의 110)은 접속 전극(127)을 통해 화소 전극(105)에 전기적으로 연결된다. 스토리지 캐패시턴스 전극(127a), 게이트 절연층(112) 및 스토리지 캐패시턴스 공통 라인(103)이 서로 오버랩하는 부분은 스토리지 캐패시턴스로서 작용한다.

상기 기술된 구조에서, 화소 전극(105)은 그 사이에 제공되는 중간 절연층(118)으로 인해 소오스 신호 라인(104)을 오버랩한다. 따라서, 개구비가 상승되고, 소오스 신호 라인(104) 및 화소 전극(105) 사이의 누설은 감소된다.

증래의 액티브 매트릭스 기판(500)을 제조하는 방법이 도 14a 내지 14e 및 15a 내지 15e를 참조하여 상술된다.

도 14a 내지 14e는 TFT(106)를 제조하기 위한 공정을 예시하는 단면도이다. 도 15a 내지 15e는 게이트 신호 라인 단자(107) 및 스토리지 캐패시턴스 공통 라인 단자(108)를 제조하기 위한 공정을 예시하는 단면도이다. 단자(107 및 108)가 실질적으로 동일 구조를 가지므로, 게이트 신호 라인 단자(107)가 예로서 상술된다.

우선, 도 14a 및 15a에 도시된 바와 같이, 금속층이 투명 절연 플레이트(101) 상에 형성되고 게이트 전극(116)을 포함하는 게이트 신호 라인(102)으로 패턴된다.

도 14b 및 14b에 도시된 바와 같이, 게이트 절연층(112)이 게이트 전극(116) 및 게이트 신호 라인(102)를 커버하도록 투명 절연 플레이트(101) 상에 형성된다. 다음, 도 14b에 도시된 바와 같이, 반도체층(113) 및 n^+ 실리콘층(124)이 게이트 절연층(112) 상에 순차적으로 형성된다.

도 15c에 도시된 바와 같이, 게이트 신호 라인 단자(7)의 (도 15d에서 참조 번호 130으로 표시된) 접속부를 형성하기 위한 콘택 홀(112a)이 게이트 절연층(112)에 형성된다.

도 14c에 도시된 바와 같이, IT0층(126) 및 금속층(125)이 n^+ 실리콘층(124) 상에 형성된다. IT0 금속층(125) 및 IT0층(126)은 개별적으로 포토 리소그래피 등에 의해 순차적으로 패턴된다. 그 결과로서, 소오스 전극(117) 및 드레인 전극(110)이 도 14d에 도시된 바와 같이 형성되고, 접속부(130)는 IT0 층으로 형성되는데, 이는 도 15d에 도시된 바와 같이 금속층(125)의 제거 결과로 형성된다. 도 13에 잘 도시된 바와 같이, IT0 층(126)은 접속 전극(127)으로서 작용하도록 게이트 절연층(112) 상에서 드레인 전극(110)으로부터 게이트 신호 라인(도 11의 102)에 수직인 방향으로, 다음에 스토리지 캐패시턴스 공통 라인(103)을 오버랩하는 방향으로 연장하도록 패턴된다.

TFT(106)에 대해, IT0 층(126)은 라인 비접속을 방지하고 금속층(125) 상에 수행되는 에칭에 대해 하부에 놓여진 층을 보호하기 위해 제공된다. 접속 전극(127)은 개구비를 증가시키고 또한 화소 전극(105)과의 오음 접촉을 얻도록 IT0 층(126)으로만 형성된다.

다음, 도 14e에 도시된 바와 같이, 반도체층(113)에서의 채널 영역에 대응하는 n^+ 실리콘층(124)의 영역이 제거되고, 이에 의해 n^+ 실리콘층(114 및 115)을 형성한다. 단자(107, 108 및 109)가 형성되는 영역을 제외한 게이트 절연층(112) 상에 형성되는 소자를 커버하기 위해 중간 절연층(118)이 게이트 절연층(112) 상에 형성된다. 투명 도전층, 예를 들어 IT0층이 접속부(도 15e에서 130)를 커버하도록 중간 절연층(도 14e에서 118)과 게이트 절연층(112) 상에 형성된다. 중간 절연층(118) 상의 IT0층이 패턴되어 화소 전극(도 14e에서 105) 및 투명 도전층(도 15e에서 105a)을 형성한다.

필요하다면 정렬층이 형성된다. 그래서, 액티브 매트릭스 기판(500)이 완성된다. 예를 들어, 액정 표시 장치가 액티브 매트릭스 기판(500)과 카운터 기판(도시하지 않음)을 조합하고 두 기판 사이의 간격에 액정 물질을 주입하며 간격을 밀봉함으로써 제조된다.

상기 상술된 구조를 갖는 액티브 매트릭스 기판(500)에 따르면, 화소 전극(105)에 연결되는 드레인 전극(110), 드레인 전극(110)으로부터 연장된 접속 전극(127), 및 단자(107 및 108)의 접속부(130)가 소오스 전극(117)을 포함하는 소오스 신호 라인(104)과 동일한 단계로 형성된다. 그러나, 접속 전극(127) 및 접속부(130)는 IT0 층(126)으로만 형성된다. 따라서, 금속층(125) 및 IT0 층(126)은 포토 리소그래피 등에 의해 별도로 패턴화될 필요가 있다. 그래서, 제조 단계의 수가 증가되고, 결합있는 포토 패턴이 바람직하지 않게 발생할 수 있다. 그 결과로, 바람직하지 않은 소오스-드레인 누설의 가능성이 존재한다. 그 결과로서, 생산 수율이 감소된다.

개구비가 약간 저하됨에도 불구하고 생산 수율을 향상시키도록 포토 리소그래피를 형성하는 단계의 수를

감소시키기 위해, 접속 전극(127), 소오스 신호 라인(104), 및 각 단자(107 및 108)의 접속부(130)를 금속층(125) 및 ITO 층(126)으로 형성하는 것을 생각할 수 있다.

그러나, 이와 같은 구조에서, 콘택 결함이 화소 전극(105) 및 접속 전극(127) 사이와 투명 도전층(105a) 및 접속부(130) 사이에 발생한다. 금속층(125)의 표면이 화소 전극(105) 및 투명 도전층(105a)이 형성되기 전에 수행되는 애싱(ashing) 또는 화소 전극(105) 및 투명 도전층(105a)의 형성에 의해 산화되기 때문에 이와 같은 콘택 결함이 발생한다.

그 결과로서, 액티브 매트릭스 기판(500)을 포함하는 표시 장치의 화질이 상당히 감소된다. 게다가, 콘택 저항에서의 증가에 의해 야기되는 전압 강하를 보상하도록 신호 전압이 증가될 필요가 있다. 신호 전압의 상승은 전력 소비를 증가시킨다.

발명이 이루고자 하는 기술적 과제

본 발명의 하나의 특징에 따라, 액티브 매트릭스 기판은 절연 플레이트; 상기 절연 플레이트 상에 매트릭스로 배열되는 복수개의 스위칭 소자; 상기 스위칭 소자를 제어하기 위한 복수개의 게이트 신호 라인; 상기 게이트 신호 라인에 수직이며, 상기 스위칭 소자에 데이터 신호를 제공하기 위한 복수개의 소오스 신호 라인; 및 상기 스위칭 소자의 드레인 전극상에 각각 제공되어 전기적으로 접속하는 복수개의 화소 전극을 포함한다. 상기 소오스 신호 라인 및 상기 드레인 전극중 적어도 하나는 적어도 투명 도전층, 제1 금속층 및 제2 금속층을 포함한다.

본 발명의 일 실시예에서, 투명 도전층은 ITO로 형성된다.

본 발명의 일 실시예에서, 드레인 전극 및 화소 전극을 연결하기 위해 드레인 전극에 연결되는 접속 전극을 더 포함한다.

본 발명의 일 실시예에서, 소오스 신호 라인 단자, 게이트 신호 라인 단자, 스토리지 캐패시턴스 공통 라인 및 스토리지 캐패시턴스 공통 라인 단자를 더 포함한다. 게이트 신호 라인 단자 및 스토리지 캐패시턴스 공통 라인 단자중 적어도 하나는 적어도 투명 도전층, 제1 금속층 및 제2 금속층을 포함한다.

본 발명의 일 실시예에서, 투명 도전층, 제1 금속층 및 제2 금속층은 밑에서 위로 순차적으로 제공되고, 제2 금속층은 금속 질화물로 형성된다.

본 발명의 일 실시예에서, 제1 금속층은 탄탈륨으로 형성되고, 제2 금속층은 탄탈륨 질화물로 형성된다.

본 발명의 일 실시예에서, 게이트 신호 라인은 제3 금속층 및 제4 금속층을 포함한다.

본 발명의 일 실시예에서, 액티브 매트릭스 기판은 스토리지 캐패시턴스 공통 라인을 더 포함한다. 게이트 신호 라인 및 스토리지 캐패시턴스 공통 라인의 적어도 하나는 제3 금속층 및 제4 금속층을 포함한다.

본 발명의 일 실시예에서, 제3 금속층 및 제4 금속층은 밑에서 위로 순차적으로 제공되고, 제4 금속층은 금속 질화물로 형성된다.

본 발명의 일 실시예에서, 제3 금속층 및 상기 제4 금속층은 밑에서 위로 순차적으로 제공되고, 제4 금속층은 금속 질화물로 형성된다.

본 발명의 일 실시예에서, 액티브 매트릭스 기판은 게이트 신호 라인 단자를 더 포함한다. 게이트 신호 라인 단자는 제3 금속층 및 제4 금속층을 포함한다.

본 발명의 일 실시예에서, 액티브 매트릭스 기판은 게이트 신호 라인 단자 및 스토리지 캐패시턴스 공통 라인 단자를 더 포함한다. 게이트 신호 라인 단자 및 스토리지 캐패시턴스 공통 라인 단자의 적어도 하나는 제3 금속층 및 제4 금속층을 포함한다.

본 발명의 또 다른 특징에 따라, 액티브 매트릭스 기판은 절연 플레이트; 상기 절연 플레이트 상에 매트릭스로 배열되는 복수개의 스위칭 소자; 상기 스위칭 소자를 제어하기 위한 복수개의 게이트 신호 라인; 상기 게이트 신호 라인에 수직이며, 상기 스위칭 소자에 데이터 신호를 제공하기 위한 복수개의 소오스 신호 라인; 관통하여 제공된 콘택 홀을 가지며, 상기 스위칭 소자, 상기 게이트 신호 라인 및 상기 소오스 신호 라인을 커버한 중간 절연층; 및 상기 중간 절연층 상에 제공되고 상기 콘택 홀을 통해 상기 스위칭 소자의 드레인 전극에 전기적으로 연결되는 복수개의 화소 전극을 포함한다. 상기 소오스 신호 라인 및 상기 드레인 전극중 적어도 하나는 적어도 투명 도전층, 제1 금속층 및 제2 금속층을 포함한다.

그래서, 본 명세서에 상술된 발명은 감소된 수의 포토 리소그래피의 단계를 이용하여 제조된 액티브 매트릭스 기판의 이점을 가능할 수 있게 하고, 화소 전극 및 접속 전극 사이와 투명 도전층 및 각각의 게이트 신호 라인 단자 및 스토리지 캐패시턴스 공통 라인 단자의 접속부 사이에 양호한 콘택을 제공한다.

본 발명의 이러한 이점 및 다른 이점들은 당해 기술 분야의 통상의 기술자가 첨부 도면을 참조하여 다음 상술 내용을 읽고 이해할 때 명백해진다.

발명의 구성 및 작용

이하 본 발명은 첨부 도면을 참조하여 예시적인 예로서 상술된다.

도 1은 본 발명에 따른 제1 실시예에서의 액티브 매트릭스 기판(100)의 등가 회로도이다.

액티브 매트릭스 기판(100)은 유리 등으로 형성된 투명 절연 플레이트(1), 복수개의 게이트 신호 라인(2), 스토리지 캐패시턴스 Cs를 형성하기 위한 복수개의 스토리지 캐패시턴스 공통 라인(3), 및 복수개의 소오스 신호 라인(4)을 포함한다. 게이트 신호 라인(2), 스토리지 캐패시턴스 공통 라인(3) 및 소오스 신호 라인(4)은 투명 절연 플레이트(1) 상에 제공된다. 소오스 신호 라인(4)은 게이트 신호 라인(2) 및 스토리지 캐패시턴스 공통 라인(3)과 수직으로 배열된다. 액티브 매트릭스 기판은 매트릭스로 배열된 복수개의

화소 전극(5) 및 스위칭 소자로서 작용하는 복수개의 TFT(6)를 더 포함한다. 화소 전극(5)은 TFT(6)들을 통해 게이트 신호 라인(2) 및 소오스 신호 라인(4)에 연결된다. 액티브 매트릭스 기판(100)이 전송 디바이스에 포함되는 경우에, 화소 전극(5)은 예를 들어 ITO와 같은 투명 도전 물질로 형성된다. 액티브 매트릭스 기판(100)이 반사 디바이스에 포함되는 경우에, 화소 전극(5)은 알루미늄 등으로 형성된다.

액티브 매트릭스 기판(100)은, 그것의 주변 영역에, 동기 신호를 입력하기 위한 게이트 신호 라인 단자(7), 스토리지 캐패시턴스 공통 라인 단자(8), 및 비디오 신호를 입력하기 위한 소오스 신호 라인 단자(9)를 더 포함한다.

도 2는 도 1에 도시되는 액티브 매트릭스 기판(100)의 하나의 화소 영역의 평면도이며, 이로부터 중간 절연층 및 화소 전극(5)이 생략되어 있다. 도 3은 액티브 매트릭스 기판(100)의 하나의 화소 영역의 평면도이다. 도 4는 도 3에 도시된 하나의 화소 영역을 라인 VI-VI을 따라 자른 단면도이다. 도 5는 도 3에 도시된 하나의 화소 영역을 라인 V-V를 따라 자른 부분 단면도이다. 도 3에 도시된 바와 같이, 화소 전극(5)의 주변 영역은 게이트 신호 라인(2) 및 소오스 신호 라인(4)을 오버랩한다. 도 5에서, 중간 절연층 및 화소 전극(5)은 명료화를 위해 생략한다. 간단하게 하나의 화소 영역에 관하여 이하 상술한다.

도 4 및 5에 도시된 바와 같이, 게이트 전극(16)을 포함하는 게이트 신호 라인(2) 및 스토리지 캐패시턴스 공통 라인(3)이 투명 절연 플레이트(1) 상에 제공된다. 게이트 절연층(12)은 게이트 전극(16)을 포함하는 게이트 신호 라인(2) 및 스토리지 캐패시턴스 공통 라인(3)을 커버하도록 투명 절연 플레이트(1) 상에 제공된다.

도 5에 도시된 바와 같이, 반도체층(13)이 게이트 전극(16)을 오버랩하도록 게이트 절연층(12) 상에 제공된다. n^+ 실리콘층(14) 및 n^+ 실리콘층(15)이 그 사이에 간격을 두고 반도체층(13) 상에 제공된다. 소오스 전극(17) 및 드레인 전극(10)이 n^+ 실리콘층(15 및 14) 상에 각각 제공된다. TFT(6)는 게이트 전극(16), 반도체층(13), n^+ 실리콘층(14 및 15), 소오스 전극(17) 및 드레인 전극(10)을 포함한다. n^+ 실리콘층(14 및 15) 사이의 간격은 TFT(6)의 채널 영역에 대응한다.

도 3에 잘 도시된 바와 같이, 드레인 전극(10)을 형성하는 물질은 게이트 신호 라인(2) 및 스토리지 캐패시턴스 공통 라인(3)에 수직인 방향으로 연장된 다음, 스토리지 캐패시턴스 공통 라인(3)을 오버랩하는 방향으로 더 연장된다. 연장 부분은 접속 전극(27)으로서 작용한다. 스토리지 캐패시턴스 공통 라인(3)을 오버랩하는 접속 전극(27)의 일부는 스토리지 캐패시턴스 전극(27a)으로서 작용한다.

도 4에 도시된 바와 같이, 게이트 절연층(12)상에 제공되는 소자들을 커버하도록 중간 절연층(18)이 게이트 절연층(12) 상에 제공된다. 화소 전극(5)이 중간 절연층(18) 상에 제공된다. 중간 절연층(18)은 그곳을 관통하여 제공되는 콘택 홀(11)을 가진다. 접속 전극(27)이 콘택 홀(11)을 통해 화소 전극(105)에 전기적으로 연결된다. 드레인 전극(도 5의 10)은 접속 전극(27)을 통해 화소 전극(5)에 전기적으로 연결된다. 스토리지 캐패시턴스 전극(27a), 게이트 절연층(12) 및 스토리지 캐패시턴스 공통 라인(3)이 서로 오버랩하는 부분은 스토리지 캐패시턴스로서 작용한다.

상기 기술된 구조에서, 화소 전극(5)은 그 사이에 제공되는 중간 절연층(18)으로 인해 소오스 신호 라인(4)을 오버랩한다. 따라서, 개구비가 상승되고, 소오스 신호 라인(4) 및 화소 전극(5) 사이의 누설이 감소된다.

도 5에 잘 도시된 바와 같이, 소오스 신호 라인(4)(도시하지 않음)에 포함된 소오스 전극(17), 드레인 전극(10), 및 드레인 전극(10)으로부터 연장되는 접속 전극(27)은 적어도 ITO 층(19), 탄탈륨으로 형성된 제1 금속층(20), 및 탄탈륨 질화물로 형성된 제2 금속층(21)을 포함한다. 비록 도 5에는 도시하지 않았지만, 각각의 게이트 신호 라인 단자(7) 및 스토리지 캐패시턴스 공통 라인 단자(8)의 접속부(도 7D에서 참조 번호 30으로 표시됨)는 또한 이하 상술되는 바와 같이 적어도 ITO 층(19), 탄탈륨으로 형성된 제1 금속층(20), 및 탄탈륨 질화물로 형성된 제2 금속층(21)을 포함한다. 제2 금속층(21)은 제1 금속층(20)의 산화를 방지하기 위해 제공된다. 제1 금속층(20)의 표면은 예를 들어 화소 전극(5)의 에칭 또는 형성에 의해 산화된다. 중간 절연층(18)이 콘택 홀(11)에 부분적으로 남는 것을 방지하기 위해 에칭은 화소 전극(5)이 형성되기 전에 수행된다. 실질적으로 동일한 평면 패턴을 가지는 ITO 층(19), 제1 금속층(20) 및 제2 금속층(21)이 한 단계의 포토 리소그래피로 형성된다. 제조 단계의 수가 감소되기 때문에, 제조 공정이 단축된다. 더욱이, 포토 패턴의 결함 가능성이 감소된다. 그 결과로서, 소오스-드레인 누설이 감소되어 생산 수율을 증가시키고 생산 비용을 절감한다.

제1 금속층(20)의 산화가 방지되기 때문에, 화소 전극(5) 및 접속 전극(27) 사이와 투명 도전층(도 7E에서 참조 번호 5a로 표시됨) 및 접속부(30) 사이에 만족할 만한 콘택이 얻어진다. 그래서, 액티브 매트릭스 기판(100)을 포함하는 표시 장치의 화질이 향상되고, 콘택 저항의 증가에 기인한 전력 소비의 증가를 피할 수 있다.

다른 탄탈륨 질화물층이 저항을 감소시키기 위해 ITO 층(19) 및 제1 금속층(20) 사이에 제공될 수 있다.

도 4 및 5에 도시된 바와 같이, 게이트 전극(16)을 포함하는 게이트 신호 라인(2) 및 스토리지 캐패시턴스 공통 라인(3)은 탄탈륨으로 형성된 제3 금속층(22) 및 탄탈륨 질화물로 형성된 제4 금속층(23)을 각각 포함한다. 제4 금속층(23)은 제3 금속층(22)의 표면이 산화되는 것을 방지하기 위해 제공된다. 그러므로, 게이트 신호 라인 단자(7)에서 게이트 신호 라인(2) 및 ITO 층(19) 사이와 스토리지 캐패시턴스 공통 라인 단자(8)에서 스토리지 캐패시턴스 공통 라인(3) 및 ITO 층(19) 사이의 콘택 결함을 피할 수 있다.

제2 금속층 및 제4 금속층으로 사용되는 탄탈륨 질화물은 충분한 반-산화 기능을 제공하도록 바람직하게는 40% 이상의 높은 질화물 농도를 가진다.

액티브 매트릭스 기판(100)을 제조하기 위한 방법도 도 6A 내지 6E 및 7A 내지 7E를 참조하여 설명된다.

도 6a 내지 6e는 TFT를 제조하기 위한 공정을 예시하는 단면도이다. 도 7A 내지 7E는 게이트 신호 라인 단자(7) 및 스토리지 캐패시턴스 공통 라인 단자(8)를 제조하기 위한 공정을 예시하는 단면도이다. 단자

(7 및 8)는 실질적으로 동일 구조를 가지고, 게이트 신호 라인 단자(7)가 그 예로서 상술된다.

우선, 도 6a 및 7a에 도시된 바와 같이, 탄탈륨으로 된 제3 금속층(22) 및 탄탈륨 질화물로 된 제4 금속층(23)이 투명 절연 플레이트(1) 상에 순차적으로 형성되고, 게이트 전극(16)을 포함하는 게이트 신호 라인(2)으로 패턴된다. 제3 금속층(22)은 예를 들어 약 30nm의 두께를 가지도록 형성되고, 제4 금속층(23)은 예를 들어 약 100nm의 두께를 가지도록 형성된다. 상기 상술된 바와 같이, 제4 금속층(23)으로 사용되는 탄탈륨 질화물은 바람직하게 40% 이상의 높은 질소 농도를 가진다.

도 6b 및 7b에 도시된 바와 같이, 게이트 절연층(12)이 게이트 전극(16)을 커버하도록 예를 들어 약 300nm의 두께로 투명 절연 플레이트(1) 상에 형성된다. 도 6b에 도시된 바와 같이, 비정질 실리콘으로 된 반도체층(13)이 예를 들어 약 50nm의 두께로 게이트 절연층(12) 상에 형성된다. 다음에, n^+ 실리콘층(24)이 예를 들어 약 50nm의 두께로 반도체층(13) 상에 μ c(미세 결정) n^+ 실리콘으로 형성된다.

도 7c에 도시된 바와 같이, 게이트 신호 라인 단자(7)의 접속부(도 7d에서 30)를 형성하기 위한 콘택 홀(12a)이 게이트 절연층(12)에 형성된다.

도 6c에 도시된 바와 같이, ITO 층(19)(예를 들어 약 150nm의 두께), 제1 금속층(20)(예를 들어 약 150nm의 두께), 및 제2 금속층(21)(예를 들어 약 30nm의 두께)이 n^+ 실리콘층(24) 상에 형성된다. n^+ 실리콘층(24)은 바람직하게 20 내지 200nm 범위의 두께를 가진다.

제2 금속층(21)으로 사용되는 탄탈륨 질화물은 바람직하게 40% 이상의 높은 질소 농도를 가진다.

다음, 층(19, 20 및 21)이 패턴된다. 그 결과로서, 소오스 전극(17) 및 드레인 전극(10)이 도 6d에 도시된 바와 같이 형성되고, 접속부(30) 또한 도 7d에 도시된 바와 같이 형성된다. 도 5에 잘 도시된 바와 같이, ITO 층(19), 제1 금속층(20) 및 제2 금속층(21)이 접속 전극(27)으로서 작용하도록 게이트 절연층(12) 상에서 게이트 신호 라인(도 3에서 2)에 수직인 방향으로 그리고 스토리지 캐패시턴스 공통 라인(3)을 오버랩하는 방향으로 드레인 전극(10)으로부터 연장하도록 패턴된다.

도 6e에 도시된 바와 같이, 반도체층(13)에서의 채널 영역에 대응하는 n^+ 실리콘층(24)의 영역이 제거되고, 이에 의해 n^+ 실리콘 층(14 및 15)을 형성한다. 층간 절연층(18)은 예를 들어 2 μ m의 두께로 투명 고 감광성 수지, 예를 들어 아크릴 수지로 형성되고, 콘택 홀(11)(도 6e에서 도시되지 않음)이 층간 절연층(18)에서 형성된다. 층간 절연층(18)이 콘택 홀(11)에 부분적으로 남는 것을 방지하기 위해 에칭이 수행된다. 다음, 예를 들어 ITO층인 투명 도전 물질층이 예를 들어 약 150nm의 두께로 층간 절연층(18) 상에 형성되어 패턴되고, 이에 의해 화소 전극(도 6e에서 5) 및 투명 도전층(도 7e에서 5a)을 형성한다.

소오스 전극(17) 및 드레인 전극(10)을 형성하기 위해, n^+ 실리콘 층(24)이 드라이 에칭 처리된다. 상기 상술한 방법에서, 에칭은 드라이 에칭후에 수행되지만, 이와 같은 단계에 수행된 에칭은 생략할 수도 있다. 대체 예에서, 드라이 에칭후, 층들은 예를 들어 질소 플라즈마, 헬륨 플라즈마 또는 아르곤 플라즈마와 같은 산화 가스를 사용하지 않은 플라즈마에 의해 처리될 수 있다. 이와 같은 경우에, 제1 금속층(21)의 표면이 산화되는 것이 방지된다.

화소 전극(5)의 형성후, 필요하다면 정렬층이 형성된다. 이와 같이, 액티브 매트릭스 기판(100)이 제조된다. 액정 표시 장치는 액티브 매트릭스 기판(100)과 카운터 기판(도시하지 않음)을 결합하고 액정 물질을 두 기판 사이의 간격에 주입하고 그 간격을 밀봉함으로써 제조된다.

상기 상술된 예에서, 게이트 전극(16)은 제3 금속층(22) 및 제4 금속층(23)을 포함한다. 게이트 전극(16)은 제3 금속층(22)만을 포함할 수 있다.

소오스 신호 라인 단자(9)는 도 8에 도시된 바와 같이 ITO 층(19), 제1 금속층(20), 제2 금속층(21), 및 투명 도전층(5a)을 포함한다.

상기 상술된 예에서, Cs on Com 시스템이 채택되는데, 여기서 스토리지 캐패시턴스 Cs는 스토리지 캐패시턴스 공통 라인 및 스토리지 캐패시턴스 전극에 의해 형성된다. 본 발명은 Cs on Gate 시스템에 채택 가능한다. 여기서 스토리지 캐패시턴스는 하나의 화소 전극에 연결되는 스토리지 캐패시턴스 전극, 및 하나의 화소 전극이 연결되는 게이트 라인에 인접한 게이트 라인으로 형성된다.

상기 예에서, 탄탈륨은 금속 물질로서 사용된다. 대체 물질로는 예를 들어 티타늄, 몰리브덴, 니오븀, 또는 크롬이 탄탈륨 대신에 사용 가능하다.

상기 예에서, 소오스 신호 라인(4) 및 드레인 전극(10)은 적어도 ITO 층(19), 제1 금속층(20) 및 제2 금속층(21)을 포함한다. 소오스 신호 라인(4) 또는 드레인 전극(10)에 세 개의 층 구조가 채택될 수 있다.

상기 예에서, 게이트 신호 라인 단자(7) 및 스토리지 공통 라인 단자(8)의 접속부(30)는 적어도 ITO 층(19), 제1 금속층(20) 및 제2 금속층(21)을 포함한다. 세 개의 층 구조는 단자(7 또는 8)중 어느 하나의 접속부(30)에 채택될 수 있다.

상기 예에서, 게이트 신호 라인(2) 및 스토리지 캐패시턴스 공통 라인(3)은 제3 금속층(22) 및 제4 금속층(23)을 포함한다. 두 개의 층 구조가 게이트 신호 라인(2) 또는 스토리지 캐패시턴스 공통 라인(3)의 어느 하나에 채택될 수 있다.

발명의 효과

본 발명에 따르면, 소오스 신호 라인, 드레인 전극 및 접속 전극은 적어도 세 개의 층, 즉 투명 도전층, 제1 금속층 및 제2 금속층을 포함한다. 각각의 게이트 신호 라인 단자 및 스토리지 캐패시턴스 공통 단자의 접속부 또한 투명 도전층, 제1 금속층 및 제2 금속층을 포함한다. 이와 같은 구조 때문에, 이러한 소자에 대한 패턴들이 한 단계의 포토 리소그래피로 형성된다. 이것은 생산 시간을 단축하고 포토 패턴닝에

서의 결함 가능성을 감소시키기 때문에, 생산 수율이 증가되고 생산 비용이 절감된다.

예를 들어, 고 질소 농도를 함유한 금속 질화물과 같은 반-산화 물질로 형성된 제2 금속층이 제1 금속층 상에 제공되기 때문에, 화소 전극 및 접속 전극 사이와 투명 도전층 및 각 단자들의 접속부 사이의 콘택이 증가된다. 그래서, 본 발명에 따른 액티브 매트릭스 기판을 포함하는 표시 장치의 화질이 향상된다.

게이트 신호 라인 및 스토리지 캐패시턴스 공통 라인이 예를 들어 제3 금속층 외에 상기 상술된 바와 같이 고 질소 농도를 함유한 금속 질화물로 형성된 제4 금속층을 포함하기 때문에, 게이트 신호 라인 및 스토리지 캐패시턴스 공통 라인은 게이트 신호 라인 단자 및 스토리지 캐패시턴스 공통 라인 단자에서 그 위에 형성된 ITO 층과 만족할 만한 콘택을 가진다.

다양한 다른 변형이 본 발명의 범위와 사상을 벗어나지 않고 당해 기술 분야의 통상의 기술자에게 명백하고 용이하게 제조될 수 있다. 따라서, 첨부된 청구 범위가 본 명세서에 상술된 것에 한정되도록 의도되지 않고 오히려 넓은 것으로 간주된다.

(57) 청구의 범위

청구항 1

액티브 매트릭스 기판에 있어서,

절연 플레이트;

상기 절연 플레이트 상에 매트릭스로 배열되는 복수개의 스위칭 소자;

상기 스위칭 소자를 제어하기 위한 복수개의 게이트 신호 라인;

상기 게이트 신호 라인에 수직이며, 상기 스위칭 소자에 데이터 신호를 제공하기 위한 복수개의 소오스 신호 라인; 및

상기 스위칭 소자의 드레인 전극상에 각각 제공되어 전기적으로 접속하는 복수개의 화소 전극을 구비하되,

상기 소오스 신호 라인 및 상기 드레인 전극중 적어도 하나는 적어도 투명 도전층, 제1 금속층 및 제2 금속층을 포함하는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 2

액티브 매트릭스 기판에 있어서,

절연 플레이트;

상기 절연 플레이트 상에 매트릭스로 배열되는 복수개의 스위칭 소자;

상기 스위칭 소자를 제어하기 위한 복수개의 게이트 신호 라인;

상기 게이트 신호 라인에 수직이며, 상기 스위칭 소자에 데이터 신호를 제공하기 위한 복수개의 소오스 신호 라인;

관통하여 제공된 콘택 홀을 가지며, 상기 스위칭 소자, 상기 게이트 신호 라인 및 상기 소오스 신호 라인을 커버한 층간 절연층; 및

상기 층간 절연층 상에 제공되고 상기 콘택 홀을 통해 상기 스위칭 소자의 드레인 전극에 전기적으로 연결되는 복수개의 화소 전극

을 구비하되,

상기 소오스 신호 라인 및 상기 드레인 전극중 적어도 하나는 적어도 투명 도전층, 제1 금속층 및 제2 금속층을 포함하는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 3

제1항에 있어서,

상기 투명 도전층은 ITO로 형성된 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 4

제1항에 있어서,

상기 드레인 전극 및 화소 전극을 연결하기 위해 상기 드레인 전극에 연결되는 접속 전극을 더 구비하는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 5

제1항에 있어서,

소오스 신호 라인 단자, 게이트 신호 라인 단자, 스토리지 캐패시턴스 공통 라인 및 스토리지 캐패시턴스 공통 라인 단자를 더 구비하되,

상기 게이트 신호 라인 단자 및 상기 스토리지 캐패시턴스 공통 라인중 적어도 하나는 적어도 투명 도전층, 제1 금속층 및 제2 금속층을 포함하는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 6

제3항에 있어서,

상기 투명 도전층, 상기 제1 금속층 및 상기 제2 금속층은 밑에서 위로 순차적으로 제공되고, 상기 제2 금속층은 금속 질화물로 형성된 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 7

제6항에 있어서,

상기 제1 금속층은 탄탈륨으로 형성되고, 상기 제2 금속층은 탄탈륨 질화물로 형성된 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 8

제1항에 있어서,

상기 게이트 신호 라인은 제3 금속층 및 제4 금속층을 포함하는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 9

제1항에 있어서,

스토리지 캐패시턴스 공통 라인을 더 구비하되,

상기 게이트 신호 라인 및 상기 스토리지 캐패시턴스 공통 라인중 적어도 하나는 상기 제3 금속층 및 상기 제4 금속층을 포함하는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 10

제8항에 있어서,

상기 제3 금속층 및 상기 제4 금속층은 밑에서 위로 순차적으로 제공되고, 상기 제4 금속층은 금속 질화물로 형성된 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 11

제9항에 있어서,

상기 제3 금속층 및 상기 제4 금속층은 밑에서 위로 순차적으로 제공되고, 상기 제4 금속층은 금속 질화물로 형성된 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 12

제10항에 있어서,

게이트 신호 라인 단자를 더 구비하되, 상기 게이트 신호 라인 단자는 상기 제3 금속층 및 상기 제4 금속층을 포함하는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 13

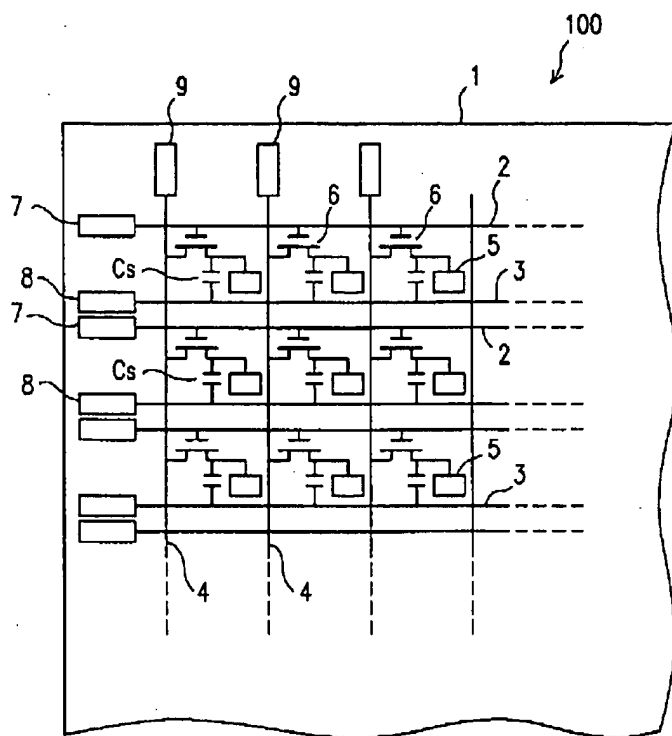
제11항에 있어서,

게이트 신호 라인 단자 및 스토리지 캐패시턴스 공통 라인 단자를 더 구비하되,

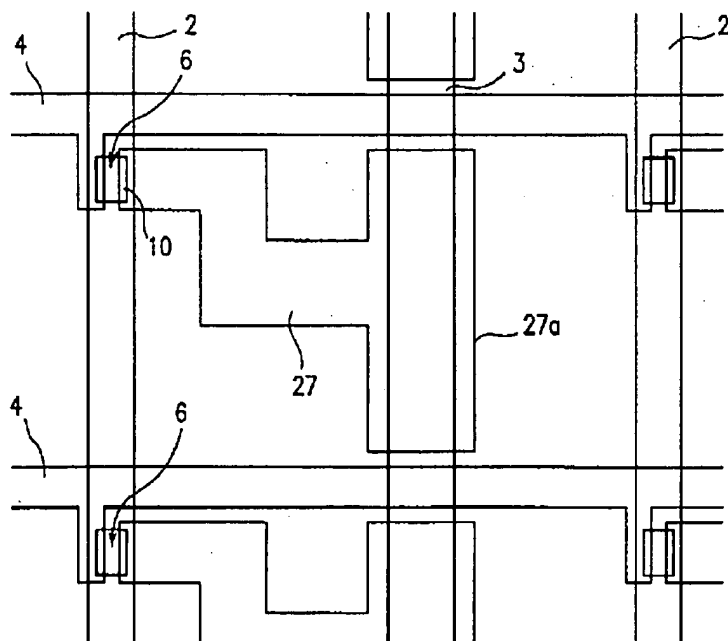
상기 게이트 신호 라인 단자 및 상기 스토리지 캐패시턴스 공통 라인 단자중 적어도 하나는 상기 제3 금속층 및 상기 제4 금속층을 포함하는 것을 특징으로 하는 액티브 매트릭스 기판.

도면

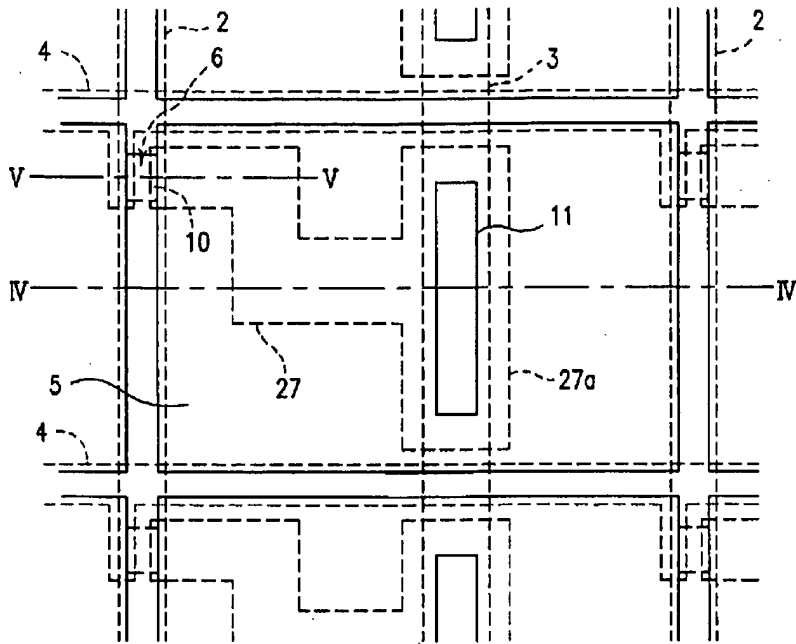
도면1



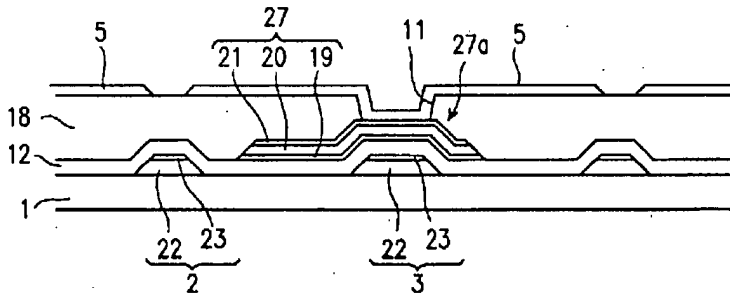
도면2



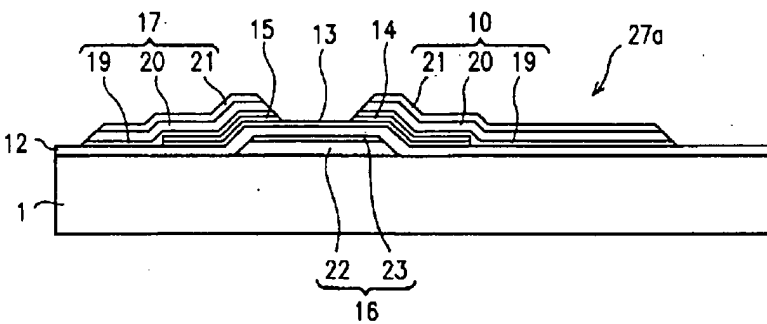
도면3



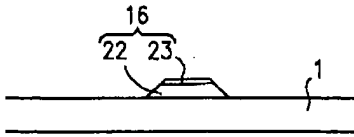
도면4



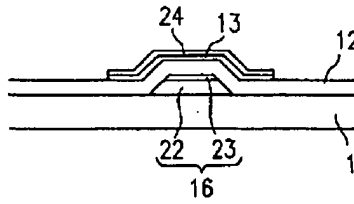
도면5



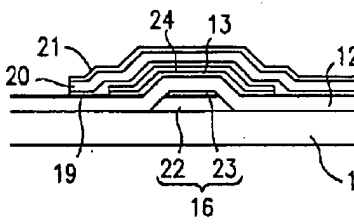
도면6a



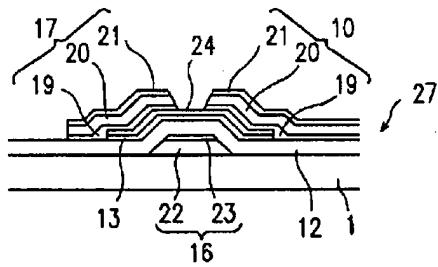
도면6b



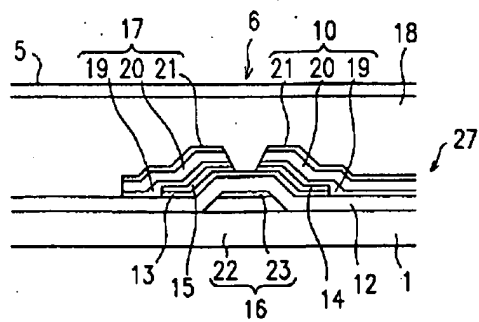
도면6c



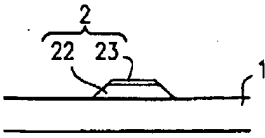
도면6d



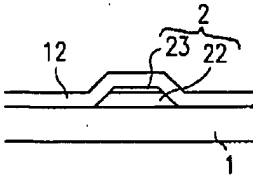
도면6e



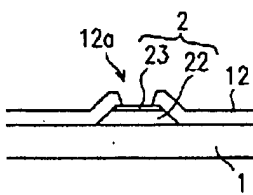
도면7a



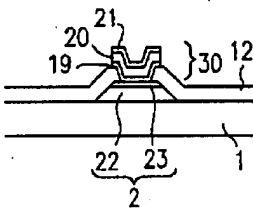
도면7b



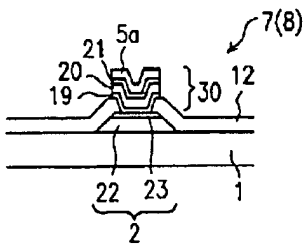
도면7c



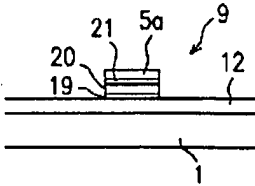
도면7d



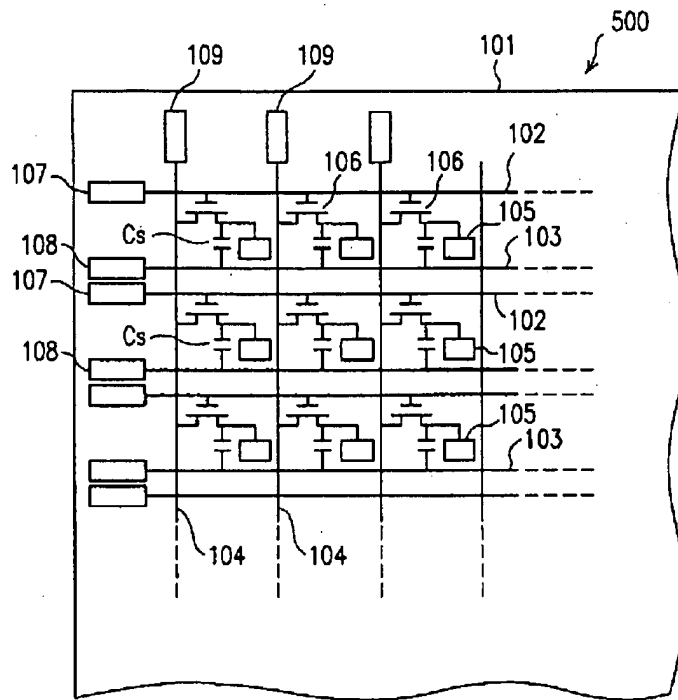
도면7e



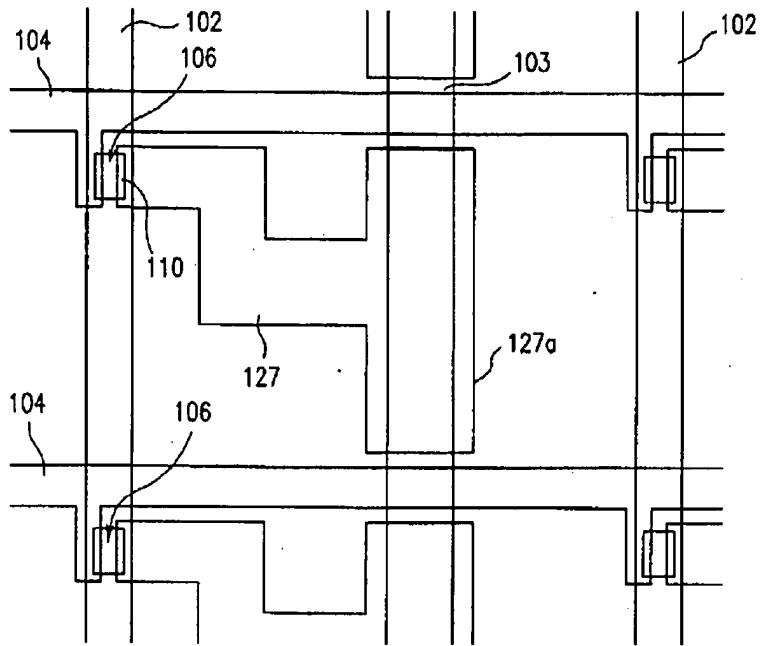
도면8



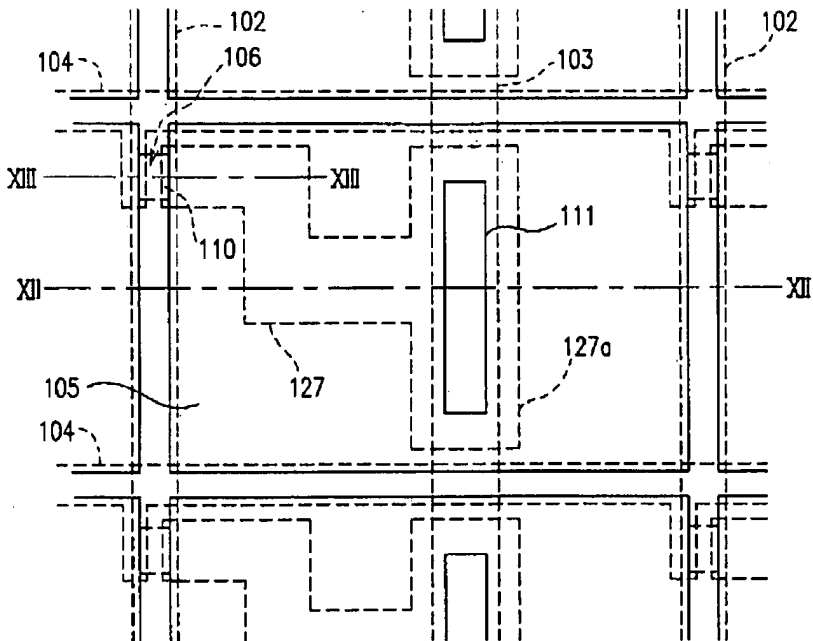
도면9



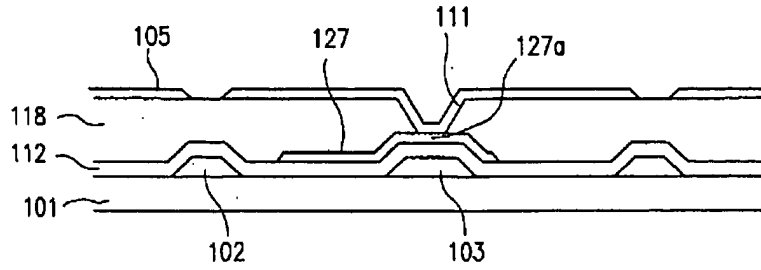
도면 10



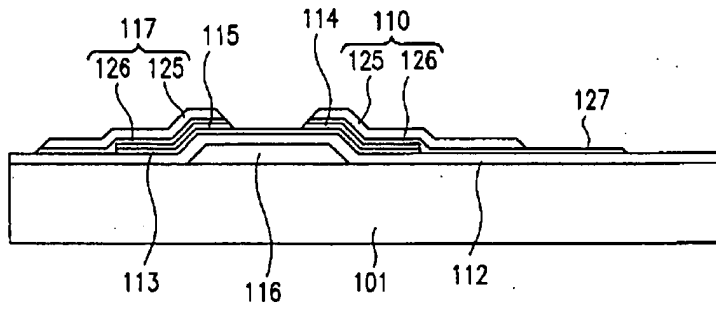
도면 11



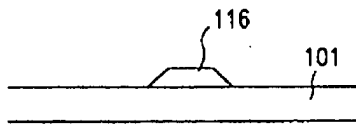
도면 12



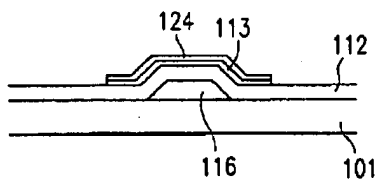
도면 13



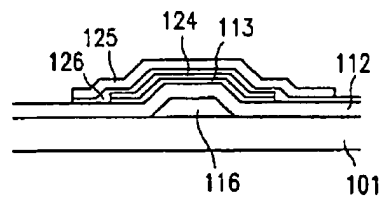
도면 14a



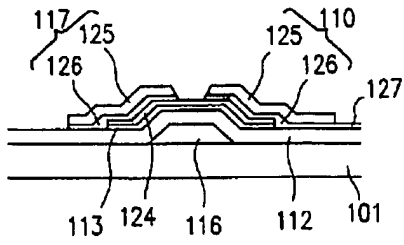
도면 14b



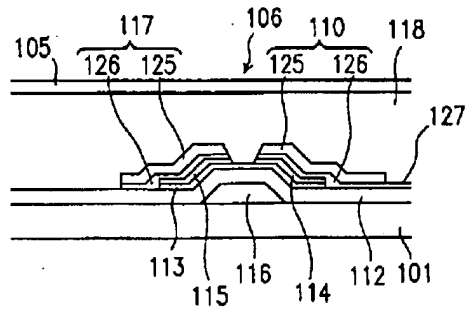
도면 14c



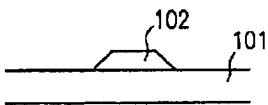
도면 14d



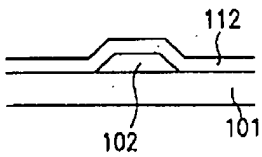
도면 14e



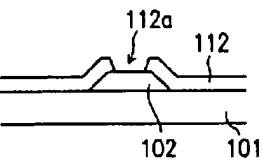
도면 15a



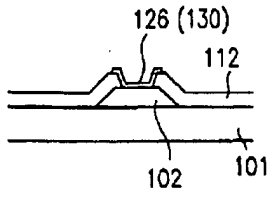
도면 15b



도면 15c



도면 15d



도면 15e

